

PAT-NO: JP407168652A  
DOCUMENT-IDENTIFIER: JP 07168652 A  
TITLE: SYNCHRONOUS RESETTING CIRCUIT

PUBN-DATE: July 4, 1995

INVENTOR-INFORMATION:

NAME COUNTRY  
TANAKA, KIYOSHI

ASSIGNEE-INFORMATION:

NAME COUNTRY  
SHIKOKU NIPPON DENKI SOFTWARE KK N/A

APPL-NO: JP05312427

APPL-DATE: December 14, 1993

INT-CL (IPC): G06F001/24 , H03K017/22

ABSTRACT:

PURPOSE: To perform synchronous resetting by using the asynchronous reset terminal of a flip-flop.

CONSTITUTION: An asynchronous reset signal is synchronized by a reset signal and clock synchronizing circuit 3 with a clock and a reset signal for evading malfunction due to a voltage drop in simultaneous operation is generated by a 1st delay circuit 4 and a 2nd delay circuit 5 to reset a 1st flip-flop groups 8, a 2nd flip-flop group 9, and a 3rd flip-flop group 10. When they are **released from being reset**, the ending edge of the reset signal is **aligned** through two reset ending timing circuits 6 and 7 to **release all the flip-flops from being reset** at the same time.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-168652

(43)公開日 平成7年(1995)7月4日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

FI

### 技術表示箇所

G 0 6 F 1/24

H O 3 K 17/22

C 9184-5 J

G O 6 F 1/ 00

3 5 1

審査請求 未請求 請求項の数2 OL (全 6 頁)

(21)出願番号 特願平5-312427

(22)出願日 平成5年(1993)12月14日

(71)出願人 000180379

四国日本電気ソフトウェア株式会社  
愛媛県松山市衣山4丁目760番地

(72)発明者 田中 清

愛媛県松山市衣山四丁目760番地 四国日  
本電気ソフトウェア株式会社内

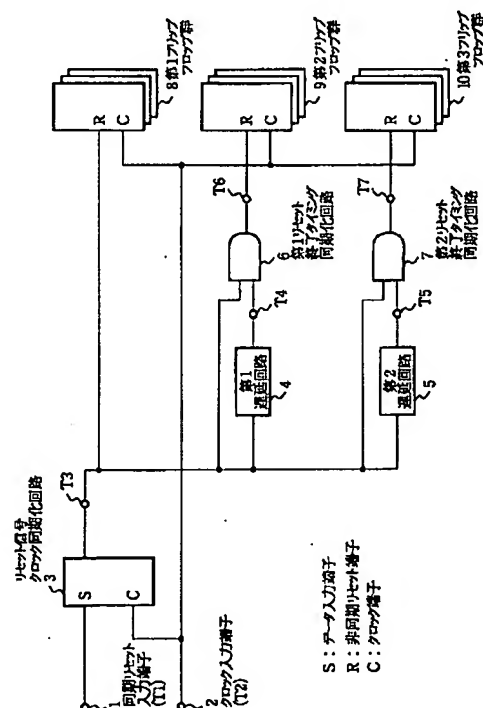
(74)代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 同期リセット回路

(57) 【要約】

【目的】フリップフロップの非同期リセット端子を使用して、同期リセットをおこなう。

【構成】非同期リセット信号をリセット信号クロック同期化回路3でクロック同期し、第1遅延回路4および第2遅延回路5で同時動作時の電圧低下による誤動作を回避するリセット信号を生成し、第1フリップフロップ群8、第2フリップフロップ群9および第3フリップフロップ群10をリセットする。リセット解除時は、2つのリセット終了タイミング回路6および7でリセット信号の終了エッジを揃えることにより、全てのフリップフロップが同時にリセット解除される。



## 【特許請求の範囲】

【請求項1】 非同期リセット端子を有し、クロックに同期して動作するフリップフロップを複数備えた情報処理装置における同期リセット回路において、

前記フリップフロップの非同期リセット端子に入力するリセット信号を、リセット対象のフリップフロップのクロックと同期させる同期化回路と、

前記同期化回路にて同期したリセット信号のリセット開始タイミングを一定時間ずらせた信号を複数個作成する遅延回路と、

前記遅延回路にてずらせた信号と前記同期化回路にて同期したリセット信号のリセット終了タイミングを全て揃える回路を有することを特徴とする同期リセット回路。

【請求項2】 前記一定時間は、前記フリップフロップの同時動作による誤動作発生を回避するのに要する時間であることを特徴とする請求項1記載の同期リセット回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はフリップフロップの同期リセット回路に関する。

【0002】

【従来の技術】従来のこの種の同期リセット回路は、情報処理装置の種々の情報を保持するフリップフロップを初期化し、初期化後のフリップフロップの状態を補償するのに用いられる。図3は、このような従来の同期リセット回路の一例を示すブロック図である。

【0003】同期リセット入力端子10および非同期リセット入力端子22は、情報処理装置全体の初期化をおこなう為の信号を入力する端子、クロック入力端子12は、情報処理装置のフリップフロップを制御するクロックパルスを入力する端子、データ入力端子23は、情報処理装置が処理するデータの入力端子である。

【0004】第1フリップフロップ群19、第2フリップフロップ群20および第3フリップフロップ群21は、クロック端子Cに入力されるクロックの立ち上がりエッジにより、データ入力端子Sに入力される信号の状態を取り込み、次のクロックの立ち上がりエッジまで保持し、かつ非同期リセット端子Rへのクロック入力により、データ入力端子S、クロック端子Cの入力状態に関係なく、状態をリセットし、かつ入力端子Cを共通とするフリップフロップ群である。それぞれのフリップフロップ群の個数は、フリップフロップを、同時に変化させた場合に発生する電圧低下による誤動作が生じない個数に分割した値である。

【0005】リセット信号クロック同期化回路13は、クロック入力端子Cに入力したクロックパルスの立ち上がりエッジで、データ入力端子Sの入力状態を取り込み、次のクロックパルスの立ち上がりエッジまで保持するフリップフロップである。

【0006】第1遅延回路14および第2遅延回路15は、非同期リセット入力信号を一定時間送らせて出力する回路である。第1遅延回路14の遅延値は、複数のフリップフロップが同期に動作する時の電圧低下を防止する時間を計算した値、第2遅延回路15の遅延値は、第1遅延回路14の2倍の値である。

【0007】第1データ信号入力抑止回路16、第2データ信号入力抑止回路17および第3データ信号入力抑止回路18は、同期リセット信号により、入力データを強制的にリセット状態にして出力する回路である。

【0008】次に、動作を説明する。複数のフリップフロップを有する情報処理装置のリセットの場合、まず非同期リセット入力端子22の信号を有効状態にする。これは、多数のフリップフロップの同時動作により発生する電圧低下による誤動作を防止するためである。

【0009】非同期リセット信号入力端子22に入力されたリセット信号の有効状態は、第1フリップフロップ群19のリセット端子Cに入力され第1フリップフロップ群19をリセットする。また、非同期リセット入力信号の有効状態は、第1遅延回路14にも入力され同時動作による誤動作防止の遅延時間だけ遅れて出力され、第2フリップフロップ群20の入力端子Cに伝わり、第2フリップフロップ群20をリセットする。また、非同期リセット信号の有効状態は、第2遅延回路15にも入力され、入力された信号に対し第1遅延回路14より更に同時動作による誤動作防止の遅延時間分遅れて出力され、第3フリップフロップ群21のリセット端子Cに伝わり、第3フリップフロップ群21をリセットする。

【0010】続いて、リセット終了後のフリップフロップ群の状態を補償するために、非同期リセット入力端子22の信号有効中に、同期リセット入力端子10の信号を有効にする。この同期リセット入力信号の有効状態は、リセット信号クロック同期化回路13により、クロック入力端子12に入力されたクロック信号の立ち上がりエッジに同期化される。クロック信号の同期化された同期リセット信号の有効状態は、第1データ信号入力抑止回路16、第2データ信号入力抑止回路17および第3データ信号入力抑止回路18に導かれる。

【0011】これらの各データ信号入力抑止回路は、同期リセット信号によって、データ入力端子23に入力されたデータをフリップフロップの入力端子と切り放し、リセット状態に変化させる事により、フリップフロップをリセット状態にする。リセットの解除は、まず非同期リセット入力端子22の信号を無効化状態にし、続いて第2遅延回路15の遅延値より長い時間を経た後、同期リセット信号端子10の信号を無効化状態にする事により行われる。

【0012】非同期リセット入力端子22の信号の無効化状態は、第1フリップフロップ群19へは直接伝わり、第2フリップフロップ群20へは、第1遅延回路1

4を介して伝わり、第3フリップフロップ群21へは、第2遅延回路15を介して伝わる。しかし、この時点では同期リセット入力端子10の信号が有効状態であるために、第1フリップフロップ群19、第2フリップフロップ群20および第3フリップフロップ群21は、データ信号入力抑止回路16、17および18により、データ信号入力端子Sにデータが伝わっていないので、入力データが変化せず、リセット状態を保つ。

【0013】同期リセット入力端子10の信号が無効化状態になると、同期リセット信号の有効化状態が、リセット信号クロック同期化回路13によってクロック同期化された後、第1データ信号抑止回路16、第2データ信号入力抑止回路17および第3データ信号入力抑止回路18に伝わる。

【0014】第1データ信号入力抑止回路16、第2データ信号入力抑止回路17および第3データ信号入力抑止回路18の同期リセットが解除されると、データ信号がフリップフロップのデータ入力端子Sに直接伝わり、リセット状態が解除され、次のクロックの立ち上がりエッジでフリップフロップのデータが変化する。同期リセットの解除状態の伝達は、全てのフリップフロップが同時であり、次のクロックの立ち上がりエッジで一斉に動作が開始される。

【0015】

【発明が解決しようとする課題】上述した従来の同期リセット回路では、情報処理装置に同期リセット入力端子と非同期リセット入力端子の2系統のリセット端子が必要になり、端子数の増加につながる。また、リセット動作の手順が複雑である。さらに、同期信号をフリップフロップのデータ入力端子に入力しているため、フリップフロップの入力データに同期リセット用回路が必要となり、回路規模が大きくなるほか、入力データの信号遅延時間を増加させるという問題点がある。

【0016】

【課題を解決するための手段】本発明の同期リセット回路は、非同期リセット端子を有し、クロックに同期して動作するフリップフロップを複数備えた情報処理装置における同期リセット回路において、前記フリップフロップの非同期リセット端子に入力するリセット信号を、リセット対象のフリップフロップのクロックと同期させる同期化回路と、前記同期化回路にて同期したリセット信号のリセット開始タイミングを一定時間ずらせた信号を複数個作成する遅延回路と、前記遅延回路にてずらせた信号と前記同期化回路にて同期したリセット信号のリセット終了タイミングを全て揃える回路を有することを特徴とする。

【0017】

【実施例】本発明の一実施例を示す図1を参照すると、本実施例は同期リセット入力端子1、クロック入力端子2、リセット信号クロック同期化回路3、第1遅延回路

4、第2遅延回路5、第1リセット終了タイミング同期化回路6、第2リセット終了タイミング同期化回路7、第1フリップフロップ群8、第2フリップフロップ群9および第3フリップフロップ群10から成る。

【0018】図1において、同期リセット入力端子1は、情報処理装置全体の初期化をおこなうためのリセット信号を入力する端子であり、クロック入力端子2は、情報処理装置のフリップフロップを制御するクロックパルスを入力する端子である。

【0019】第1フリップフロップ群8、第2フリップフロップ群9および第3フリップフロップ群10は、それぞれクロック端子Cに入力されるクロックの立ち上がりエッジにより、データ入力端子（図示省略）に入力される信号の状態を取り込み、次のクロックの立ち上がりエッジまで保持し、かつ非同期リセット端子Rの入力により、データ入力端子S、クロック端子Cの入力状態に関係なく、状態をリセットし、かつ入力端子Cに共通のクロック入力をもつフリップフロップ群である。それぞれのフリップフロップ群の個数は、フリップフロップを、同時に変化させた場合に発生する電圧低下による誤動作が生じない個数に分割した値である。

【0020】リセット信号クロック同期化回路3は、リセット入力信号を、クロック入力端子2の信号と同期して出力する回路である。第1遅延回路4は、リセット信号同期化回路3にてクロック同期したリセット信号を、同時動作による誤動作発生を回避する時間だけ遅らせて出力する回路である。第2遅延回路5は、入力信号を、同時動作による誤動作発生を回避する第1遅延回路4の2倍の時間だけ遅らせて出力する回路である。

【0021】第1リセット終了タイミング同期化回路6および第2リセット終了タイミング同期化回路7は、遅延回路の出力と、同期リセットの出力により、フリップフロップのリセット信号を発生する回路である。

【0022】次に、本回路の動作について説明する。同期リセット入力端子1より入力するリセット入力信号の有効状態は、リセット信号クロック同期化回路3によって、クロック入力端子2より入力するリセット対象のフリップフロップ群と同一のクロックの立ち上がりエッジ同期化され出力される。同期化されたリセット信号の有効状態は、第1フリップフロップ群8の非同期リセット端子Rに入力され、第1フリップフロップ群8をリセットする。

【0023】同期リセット信号の有効状態は、第1遅延回路4にも入力され、同時動作による誤動作発生を回避する時間だけ遅れた信号を発生し、第1リセット終了タイミング発生回路6を経て、第2フリップフロップ群9の非同期リセット端子Rに入力され、第2フリップフロップ群9をリセットする。また、同期リセット信号の有効状態は、第2遅延回路5にも入力され、第1遅延回路4により遅延化された信号に対し、同時動作による誤動作

作発生を回避する時間だけ遅れた信号を発生し、第2リセット終了タイミング発生回路7を経て、第3フリップフロップ群10の非同期リセット端子Rに inputs され、第3フリップフロップ群10をリセットする。

【0024】リセット動作を終了する場合は、同期リセット入力端子1のリセット信号の無効化状態が、リセット信号クロック同期化回路3によって、クロック入力端子2のクロック信号の立ち上がりエッジと同期化され、第1フリップフロップ群8をリセットする。同期化されたリセット信号の無効化状態は、第1リセット終了タイミング同期化回路6および第2リセット信号終了タイミング同期化回路7で、第1遅延回路4および第2遅延回路5の出力状態に拘わらず、リセット信号を終了させ、第2フリップフロップ群9および第3フリップフロップ群10のリセット状態を解除する。リセット状態を解除された第1フリップフロップ群8、第2フリップフロップ群9および第3フリップフロップ群10は、次のクロックの立ち上がりエッジにより一斉に動作を開始する。

【0025】図2は、図1の各ポイントのタイミングチャートである。すなわち、T1は、同期リセット入力端子1の入力信号で、第1フリップフロップ群8、第2フリップフロップ群9および第3フリップフロップ群10をリセットするリセット入力信号である。T2は、クロック入力端子2の入力信号で、リセット信号クロック同期化回路3並びに第1フリップフロップ群8、第2フリップフロップ群9および第3フリップフロップ群10に inputs し、データ入力の取り込みタイミングを与えるクロックパルスである。

【0026】T3は、同期リセット信号クロック同期化回路1の出力信号で、T1のリセット入力信号をT2のクロックパルスの立ち上がりエッジで同期化した信号である。T4は第1遅延回路4の出力信号で、T3の同期リセット信号を、同時動作による電圧低下での誤動作を防ぐ期間だけ遅らせた信号である。T5は第2遅延回路5の出力信号で、T3の同期リセット信号を、T4よりさらに同時動作による電圧低下での誤動作を防ぐ時間だけ遅らせた信号である。

【0027】T6は第1リセット終了タイミング同期化回路6の出力で、T3の同期リセット信号と、T4の遅延回路を経た信号を合成した、第2フリップフロップ群9のリセット信号である。T7は第2リセット終了タイミング同期化回路7の出力信号で、T3の同期リセット信号と、T5の遅延回路を経た信号を合成した、第3フリップフロップ群10のリセット信号である。

【0028】第1フリップフロップ群8のリセット信号はT3であり、第2フリップフロップ群9のリセット信号はT6であり、第3フリップフロップ群10のリセット信号はT7である。

【0029】リセット動作の有効状態は、T6はT3に比べ、同時動作による誤動作を防止する時間(a-b)だけ遅れて有効となり、T7はT6に比べ更に(b-c)だけ遅れて有効となる。リセットの終了は、T3はdであり、T6はeであり、T7はfであって、全て同じであり、次のクロックの立ち上がりエッジgで一斉に動作を開始する。

【0030】

【発明の効果】以上説明したように本発明による同期リセット回路は、リセット入力端子を1つにして、フリップフロップでクロック同期化して同期リセット信号としているために、端子数の減少となり、処理手順も単純化されている。また、フリップフロップのデータ入力端子の前段に同期リセット用回路を持たず、非同期リセット端子で同期リセットを行っているため、回路規模の減少を図る事が可能であり、フリップフロップのデータ信号入力の遅延時間を減少させる事が可能であるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

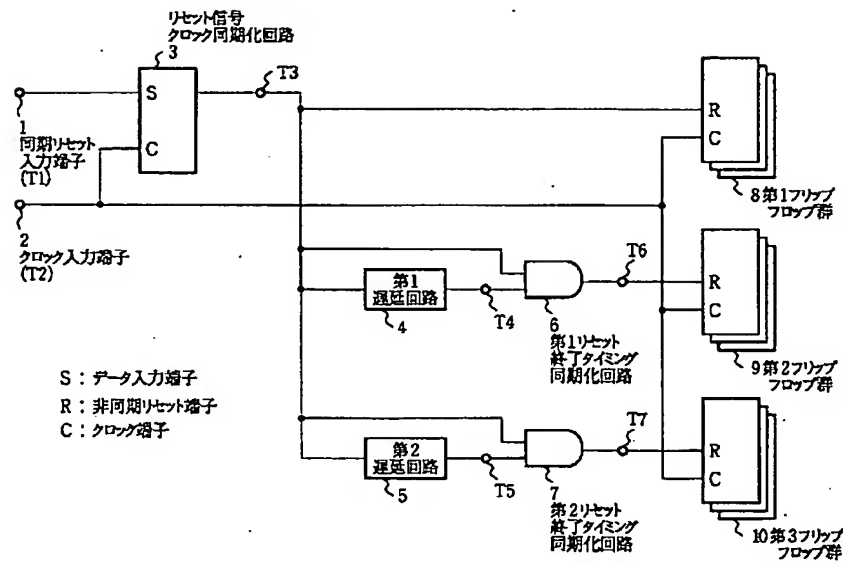
【図2】図1に示した実施例のタイミングチャートである。

【図3】従来例を示すブロック図である。

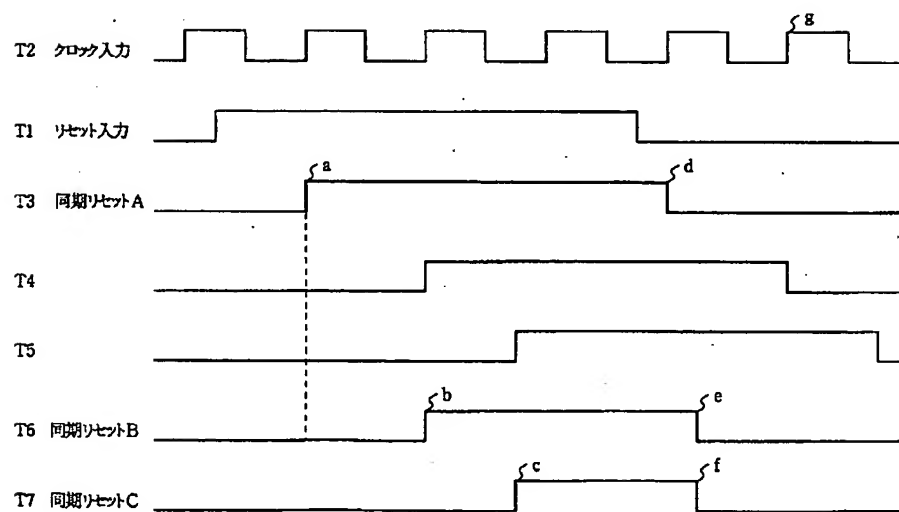
【符号の説明】

- |    |                    |
|----|--------------------|
| 1  | 同期リセット入力端子         |
| 2  | クロック入力端子           |
| 3  | リセット信号クロック同期化回路    |
| 4  | 第1遅延回路             |
| 5  | 第2遅延回路             |
| 6  | 第1リセット終了タイミング同期化回路 |
| 7  | 第2リセット終了タイミング同期化回路 |
| 8  | 第1フリップフロップ群        |
| 9  | 第2フリップフロップ群        |
| 10 | 第3フリップフロップ群        |
| 11 | リセット入力端子           |
| 12 | クロック入力端子           |
| 13 | リセット信号クロック同期化回路    |
| 14 | 第1遅延回路             |
| 15 | 第2遅延回路             |
| 16 | 第1データ信号入力抑止回路      |
| 17 | 第2データ信号入力抑止回路      |
| 18 | 第3データ信号入力抑止回路      |
| 19 | 第1フリップフロップ群        |
| 20 | 第2フリップフロップ群        |
| 21 | 第3フリップフロップ群        |
| 22 | 非同期リセット入力端子        |
| 23 | データ入力端子            |

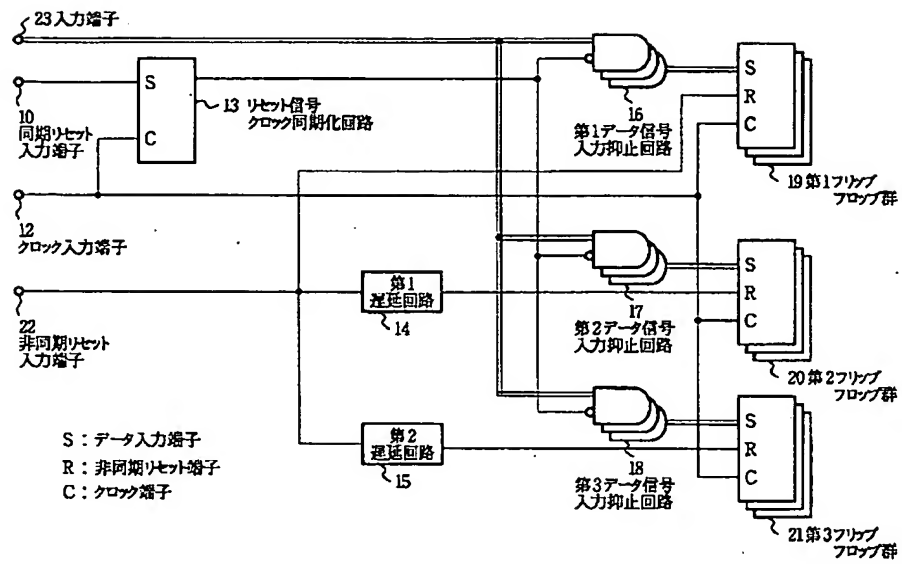
【図1】



【図2】



(図3)



PAT-NO: JP02001007805A  
DOCUMENT-IDENTIFIER: JP 2001007805 A  
TITLE: EXTENSION EXTENDING SYSTEM IN COMMUNICATION SYSTEM

PUBN-DATE: January 12, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
YAMADA, TSUTOMU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP11172227

APPL-DATE: June 18, 1999

INT-CL (IPC): H04L012/02 , H04L007/02 , H04M003/00

ABSTRACT:

PROBLEM TO BE SOLVED: To generate multi-frames with the same phase even without the need for a clock source by allowing a clock generating source to give clock signals with different frequencies to an interface panel and allowing each interface panel to generate M-bit frames with the same phase on the basis of the clock signal whose frequency is a common multiple of the frequencies of a plurality of the extracted clock signals.

SOLUTION: A common section 1 generates clock signals whose frequencies are 0.4 kHz and 0.5 kHz and gives three clock signals to each of interface panels 2 (#1-#4), in which the clock signals are inputted to a common multiple detection circuit 20. Each common multiple detection circuit 20 detects the position of a least common multiple of periods of the two clock pulses so as to find on the least common multiple 0.01 s on the basis of a length T1 of one period of 0.4 kHz (=0.0025 s) and of a length T2 of one period of 0.5 kHz (=0.002 s). Then the common multiple detection circuit 20 generates a clock signal with a period of 0.01 s and gives it to a period generating section 21. Even an existing device can transmit M-bit multi-frame signals with the same phase in this way.

COPYRIGHT: (C)2001,JPO